

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-325735

(43) 公開日 平成8年(1997)12月16日

(51) Int. Cl.⁶

G 0 9 G 3/28

識別記号

庁内整理番号

4237-5H

F I

G 0 9 G 3/28

技術表示箇所

E

審査請求 未請求 請求項の数15 O L (全 14 頁)

(21) 出願番号

特願平8-138993

(22) 出願日

平成8年(1996)5月31日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 岸 智勝

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 蒔谷 教治

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

最終頁に続く

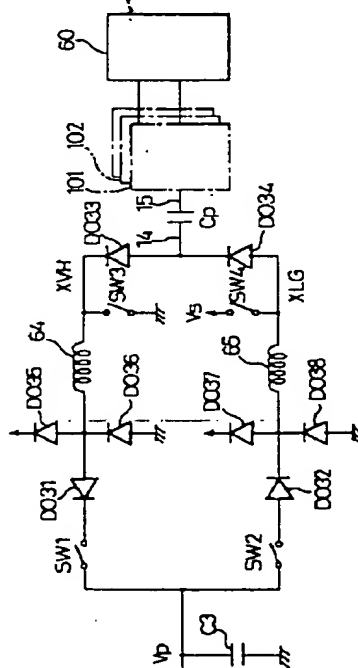
(54) 【発明の名称】 平面表示装置の駆動装置

(57) 【要約】

【課題】 3電極型の平面表示装置において、一層の省電力化を図る。

【解決手段】 マトリックス状に配列されたメモリ機能と放電発光機能とを有するセル部10を形成する表示パネル1を有し、放電発光が行われる同一の基板上の一对の電極14, 15の一方は共通に接続されている共通電極14である平面表示装置の駆動装置であって、共通電極に交互に電圧を印加する共通電極駆動回路と、共通電極が高電位から低電位に切り換えられる時に、共通電極に印加されている電力を回収して蓄積し、共通電極が高電位から低電位に切り換えられる時に、蓄積した電力を前記共通電極に印加する電力回収回路60とを備える平面表示装置の駆動装置において、電力回収回路は、容量素子C3と、インダクタンス素子64を有する電力を回収する回収経路XVHと、インダクタンス素子65を有する蓄積した電力を共通電極14に印加する印加経路XLGとを備える。

本発明の原理構成図



【特許請求の範囲】

【請求項1】 所定の間隔をもって対向する2枚の基板(12、13)間に、互いに直交する電極が配置され、前記電極間に構成される複数の直交部が、それぞれ画素を構成するマトリックス状に配列されたセル部(10)を形成し、前記セル部は、前記2枚の基板のうちの一方に形成された電極(16)と、他方に形成された一対の電極(14、15)にて構成され、該一対の電極のうちの一方は共通に接続されている共通電極(14)である平面表示装置の駆動装置であって、前記共通電極(14)を交互に高電位と低電位に切り換える共通電極駆動回路と、前記共通電極(14)が高電位から低電位に切り換えられる時に、前記共通電極に印加されている電力を回収して蓄積し、前記共通電極が低電位から高電位に切り換えられる時に、蓄積した電力を前記共通電極に印加する電力回収回路(60)とを備え、

前記電力回収回路は、回収した電力を蓄積する容量素子(C3)と、インダクタンス素子(64)を有し、該容量素子(C3)と前記共通電極(14)の間に接続され、前記共通電極(14)が高電位から低電位に切り換えられる時に前記共通電極(14)に印加されている電力を回収する回収経路(XVH)と、インダクタンス素子(65)を有し、前記回収経路(XVH)と並行に前記容量素子(C3)と前記共通電極(14)の間に接続され、前記共通電極(14)が低電位から高電位に切り換えられる時に蓄積した電力を前記共通電極(14)に印加する印加経路(XLG)とを備えることを特徴とする平面表示装置の駆動装置。

【請求項2】 請求項1に記載の平面表示装置の駆動装置であって、

前記共通電極駆動回路は、前記回収経路(XVH)の前記共通電極(14)と前記インダクタンス素子(64)の間に設けられ、前記共通電極(14)に印加されている電力を回収した時に前記回収経路(XVH)を前記低電位の端子に接続する第3のスイッチ(SW3)と、

前記印加経路(XLG)の前記共通電極(14)と前記インダクタンス素子(65)の間に設けられ、蓄積した電力を前記共通電極(14)に印加した時に前記印加経路(XLG)を前記高電位の端子に接続する第4のスイッチ(SW4)とを有する平面表示装置の駆動装置。

【請求項3】 請求項2に記載の平面表示装置の駆動装置であって、

前記第3のスイッチ(SW3)と前記第4のスイッチ(SW4)は、電解効果トランジスタである平面表示装置の駆動装置。

【請求項4】 請求項1から3のいずれか1項に記載の平面表示装置の駆動装置であって、

前記回収経路(XVH)は、前記容量素子(C3)と前記インダクタンス素子(64)の間に、

前記共通電極(14)から前記容量素子(C3)に向かって流れる電流を通過させ、逆方向の電流を阻止する第1のダイオード(DO31)と、

該第1のダイオード(DO31)に直列に接続された第1のスイッチ(SW1)とを有し、

前記印加経路(XLG)は、前記容量素子(14)と前記インダクタンス素子の間に、

10 前記容量素子(C3)から前記共通電極(14)に向かって流れる電流を通過させ、逆方向の電流を阻止する第2のダイオード(DO32)と、

該第2のダイオード(DO32)に直列に接続された第2のスイッチ(SW2)とを有する平面表示装置の駆動装置。

【請求項5】 請求項4に記載の平面表示装置の駆動装置であって、

前記第1のスイッチ(SW1)と前記第2のスイッチ(SW2)は、電解効果トランジスタである平面表示装置の駆動装置。

20 【請求項6】 請求項4に記載の平面表示装置の駆動装置であって、

前記第1のスイッチ(SW1)と前記第2のスイッチ(SW2)は、絶縁ゲート型バイポーラトランジスタ(Insulated Gated Bipolar Transistor:IGBT)である平面表示装置の駆動装置。

【請求項7】 請求項1から3のいずれか1項に記載の平面表示装置の駆動装置であって、

30 前記回収経路(XVH)は、前記容量素子(C3)と前記インダクタンス素子(64)の間に、絶縁ゲート型バイポーラトランジスタで構成される第1のスイッチ(IGBT35)とを有し、

前記印加経路(XLG)は、前記容量素子(C3)と前記インダクタンス素子(65)の間に、絶縁ゲート型バイポーラトランジスタで構成される第2のスイッチ(IGBT36)とを有する平面表示装置の駆動装置。

【請求項8】 請求項1から7のいずれか1項に記載の平面表示装置の駆動装置であって、

40 前記回収経路(XVH)と前記印加経路(XLG)は、それぞれ、前記高電位の端子と前記低電位の端子に逆バイアスされて接続されたリセット用ダイオードDO35、DO36、DO37、DO38)を有する平面表示装置の駆動装置。

【請求項9】 請求項8に記載の平面表示装置の駆動装置であって、

前記回収経路(XVH)と前記印加経路(XLG)は途中の一部が共通化されており、共通化された部分に前記リセット用ダイオードを共通化したリセット用ダイオード(DO39、DO40)が接続されている平面表示装置の駆動装置。

【請求項10】 請求項4、5、6、8、9のいずれか1項に記載の平面表示装置の駆動装置であって、前記回収経路(XVH)は、前記共通電極(14)と前記インダクタンス素子(64)の間に、前記第1のダイオード(DO31)と同じ方向に接続された第3のダイオード(DO33)を有し、前記印加経路(XLG)は、前記共通電極(14)と前記インダクタンス素子(65)の間に、前記第2のダイオード(DO32)と同じ方向に接続された第4のダイオード(DO34)を有する平面表示装置の駆動装置。

【請求項11】 請求項1から10のいずれか1項に記載の平面表示装置の駆動装置であって、前記回収経路(XVH)と前記印加経路(XLG)のインダクタンス素子(64、65)のインダクタンス量は異なる平面表示装置の駆動装置。

【請求項12】 請求項11に記載の平面表示装置の駆動装置であって、前記回収経路(XVH)のインダクタンス素子(64)のインダクタンス量は、前記印加経路(XLG)のインダクタンス素子(65)のインダクタンス量より大きい平面表示装置の駆動装置。

【請求項13】 請求項1から12のいずれか1項に記載の平面表示装置の駆動装置であって、前記一対の電極のうちのもう一方の走査電極(15)をそれぞれ駆動するプッシュプル型の複数の走査駆動回路(101、102、...)と、前記走査電極を交互に高電位と低電位に切り換えるように前記複数の走査駆動回路に交互に高電位と低電位を供給する走査駆動電源回路(70、80、90)と、前記走査電極が高電位から低電位に切り換えられる時に、前記走査電極に印加されている電力を回収して蓄積し、前記走査電極が高電位から低電位に切り換えられる時に、蓄積した電力を前記走査電極に印加する電力回収回路(60)とを備え、前記電力回収回路は、回収した電力を蓄積する走査容量素子(C2)と、インダクタンス素子(62)を有し、前記走査容量素子(C2)と前記走査電極(15)の間に接続され、前記走査電極が高電位から低電位に切り換えられる時に前記走査電極に印加されている電力を回収する走査回収経路(FVH)と、インダクタンス素子(63)を有し、前記走査回収経路(FVH)と並行に前記走査容量素子と前記走査電極(15)の間に接続され、前記走査電極が低電位から高電位に切り換えられる時に蓄積した電力を前記走査電極に印加する走査印加経路(FLG)とを備えることを特徴とする平面表示装置の駆動装置。

【請求項14】 請求項13に記載の平面表示装置の駆動装置であって、前記走査駆動回路は、

前記走査回収経路(FVH)と前記走査電極の間に、並列に接続された走査側第1ダイオード(DO2)と走査第1スイッチ(TR6)と、前記走査印加経路(FLG)と前記走査電極(15)の間に、並列に接続された走査側第2ダイオード(DO3)と走査第2スイッチ(TR7)とを有する平面表示装置の駆動装置。

【請求項15】 請求項13に記載の平面表示装置の駆動装置であって、

10 前記走査駆動回路は、前記走査回収経路(FVH)と前記走査電極の間に接続された走査側第1ダイオード(DO2)と、第2の高電位電源端子と前記走査電極の間に接続された走査第1スイッチ(TR15)と、前記走査印加経路(FLG)と前記走査電極の間に接続された走査側第2ダイオード(DO3)と、第2の低電位電源端子と前記走査電極の間に接続された走査第2スイッチ(TR16)とを有する平面表示装置の駆動装置。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプラズマディスプレイ(PDP)装置やエレクトロルミネセンスディスプレイ(EL)装置等の平面表示装置の駆動装置に関し、特に高速線順次走査方式を低消費電力で、低コストで実現しうる平面表示装置の駆動装置に関するものである。

【0002】

【従来の技術】近年、薄形の利点からCRTに代わりPDP(プラズマディスプレイ)、LCD(液晶ディスプレイ)、EL(エレクトロルミネセンス)等の平面マトリクス形表示装置の要求が増加しているが、特に最近ではカラー表示の要求が高まっている。

【0003】従来から、プラズマディスプレイ装置やエレクトロルミネセンスディスプレイ(EL)装置等が代表的とされている、平面表示装置、即ちフラット形表示装置は、奥行きが小さく、且つ大型の表示画面が実現されて来ている事から、急速にその用途が拡大され、生産規模も増大して来ている。このような平面表示装置は、一般的には、電極間に堆積された電荷を所定の電圧下で放電発光させて表示するものであり、その一般的な表示原理を、プラズマディスプレイ装置を例に採って、その構造と動作を以下に概略的に説明する。

【0004】従来から良く知られているプラズマディスプレイ装置(AC型PDP)には、2本の電極で選択放電(アドレス放電)および維持放電を行う2電極型と、第3の電極を利用してアドレス放電を行う3電極型とがある。一方、カラー表示を行うプラズマディスプレイ装置(PDP)では、放電により発生する紫外線によって放電セル内に形成した蛍光体を励起しているが、この蛍光体は、放電により同時に発生する正電荷であるイオン

の衝撃に弱いという欠点がある。上記の2電極型では、当該蛍光体がイオンに直接当たるような構成になっているため、蛍光体の寿命低下を招く恐れがある。これを回避するために、カラープラズマディスプレイ装置では、面放電を利用した3電極構造が一般に用いられている。

【0005】さらに、この3電極型においても、第3の電極の維持放電を行う第1と第2の電極が配置されている基板に当該第3の電極を形成する場合と、対向するもう一つの基板に当該第3の電極を配置する場合がある。また、同一基板に前記の3種の電極を形成する場合でも、維持放電を行う2本の電極の上に第3の電極を配置する場合と、その下に第3の電極を配置する場合がある。さらに、蛍光体から発せられた可視光を、その蛍光体を透過して見る場合と、蛍光体からの反射を見る場合がある。

【0006】上記した各タイプのプラズマディスプレイ装置は、何れも原理は、互いに同一であるので、以下では、維持放電を行う第1と第2の電極を設けた第1の基板と、これとは別で、当該第1の基板と対向する第2の基板に第3の電極を形成して構成された平面表示装置に付いてその具体例を説明する。図9は従来のプラズマディスプレイ(PDP)装置の構成の一例を示す平面図であり、図10は図9のPDP装置に形成される、一つの放電セル10における概略的断面図である。なお、図においては、同一の機能部分には同一の参照符号を付して表し、説明の一部を省略する。

【0007】図9と図10に示すように、PDP装置は、2枚のガラス基板12、13によって構成されている。第1の基板13には、互いに平行して配置された維持電極として作動する第1の電極(X電極)14、および第2の電極(Y電極)15を有し、それらは、誘電体層18で被覆されている。この誘電体層18からなる放電面には保護膜としてMgO(酸化マグネシウム)膜等で構成された被膜21が形成されている。

【0008】一方、第1のガラス基板13と向かい合う第2の基板12の表面には、第3の電極、すなわち、アドレス電極として動作する電極16が、X電極14、Y電極15と直交する形で形成されている。アドレス電極16上には、赤、緑、青の発光特性の一つを持つ蛍光体19が配置されている。第2の基板12のアドレス電極が配置されている面と同一の面に形成されている壁部17によって放電空間20が規定される。つまり、プラズマディスプレイ装置における各放電セル10は壁(障壁)によって仕切られている。

【0009】第1の電極(X電極)14と該第2の電極(Y電極)15とは、互いに平行に配置され、それぞれ対を構成しており、第2の電極(Y電極)15は、Y電極駆動共通ドライバ回路3に接続されている個別のY電極駆動回路4-1~4-nにより、それぞれ個別に駆動されるが、第1の電極(X電極)14は、共通電極を構

成しており、1個のドライバ回路5で駆動される構成となっている。

【0010】又、X電極14とY電極15に直交してアドレス電極16-1~16-mが配置されており、アドレスで電極16-1~16-mは、アドレスドライバ回路6に接続されている。アドレス電極16は1本ずつアドレスドライバ6に接続され、そのアドレスドライバ6によってアドレス放電時のアドレスパルスが各アドレス電極に印加される。

10 【0011】Y電極15は、個別にYスキンドライバ4-1~4-nに接続されている。スキンドライバ4-1~4-nは、更にY側共通ドライバ3に接続されており、アドレス放電時のパルスはスキンドライバ4-1~4-nから発生されるが、維持放電パルス等はY側共通ドライバ33で発生し、Yスキンドライバ4-1~4-nを経由して、Y電極15に印加される。

20 【0012】一方、X電極14はパネルの全表示ラインに亘って共通に接続され駆動される。つまり、X電極側の共通ドライバ5は、書き込みパルス、維持パルス等を発生し、これらを同時並行的に各Y電極15に印加する。X電極側の共通ドライバ5とY電極側の共通ドライバ3は、X電極14とY電極15とを交互に印加される電圧の極性を反転させながら一斉に駆動して、維持放電を実行させる。

30 【0013】以上のドライバ回路は、図示されていない制御回路によって制御され、その制御回路は、装置の外部より入力される、同期信号や表示データ信号によって制御される。図11はPDP装置の基本駆動サイクルの構成を示す図であり、図12は基本駆動サイクル内の駆動波形を示す図である。図11及び図12を参照しながらPDP装置の駆動方法を説明する。

40 【0014】PDP装置は、1つの表示画面を所定の周期毎に書き換えながら表示しており、1表示周期を1フレームと称する。1フレームは、図11に示すように、各セルを表示データに対応した状態に設定する走査アドレス期間S-1と、発光する状態に設定されたセルで放電発光を行わせる維持放電期間S-2と、すべてのセルを同じ状態に設定する一括消去期間とで構成される。階調表現を行う場合には、1フレームを維持放電期間の長さの異なる複数のサブフレームに更に分割し、発光させるサブフレームを組み合わせたのが一般的であるが、その場合でも各サブフレームは図11のように、走査期間S-1と、維持放電期間S-2と、一括消去期間とで構成される。サブフレーム構成は、本願発明と直接関係しないので、ここでは1フレームが図11のように構成されるものとして説明する。

50 【0015】走査アドレス期間においては、まずY電極側走査ドライバ回路4-1からY電極15-1へ走査信号を供給すると共に、アドレスドライバ回路6からアドレス電極16-1から16-mへ、Y電極15-1によ

り構成される1ライン目の表示データに応じた信号がアドレスパルスAPを用いて供給され、表示すべきセル部分10が、一時的に放電し、所定の壁電荷が当該セル部分内に堆積されメモリ機能を発揮する。以下同様にして、Y電極側走査ドライバ4-2、4-3・・・4-nの順に線順次に各Y電極15-2~15-nまでを順次に走査して、所定のセル部分に表示すべきデータを書き込む。

【0016】走査アドレス期間S-1が終了すると、維持放電期間S-2が開始される。表示パネルを構成する全てのセル部分10に対して、Y電極側共通ドライバ回路3とX電極側の共通ドライバ回路5によって、Y電極15-1~15-nとX電極14が交差している部分に形成されるセル部分10の電極間に、同時に所定の電圧Ysusを印加するものであって、その後この電圧の極性を反転させて同様の電圧印加操作Xsusを行って、セル部分10の電極間に交番に電圧を印加する。

【0017】その際、走査アドレス期間に於いて表示データを印加され、所定の壁電荷を持っているセル部分10のみが、所定の回数繰り返して発光放電することになる。なお、従来の平面表示装置においては、全セル部分10を対象に、Y電極側共通ドライバ回路3とX電極側の共通ドライバ回路5によって、直前の維持放電期間において、放電発光していたセル部分内に生成され、残存している壁電荷を消去する為の初期化期間を設けるのが一般的である。初期化期間においては、表示ライン毎に線順次に消去する方法を用いても良く、又全ての表示ラインに対して一括消去する方法を使用することも可能である。図11では一括消去期間として示してある。

【0018】以上説明したように、PDP装置では、表示データに応じてセルに電荷を蓄積し、電極間に維持放電パルスを印加することにより放電発光を行わせることにより表示を行う。各セルを構成する電極は被覆膜である誘電体や放電空間を挟んで対向しており、容量素子を構成する。従って、電極間にパルスを印加するということは、容量素子に印加する電圧やその極性を変化させることを意味する。

【0019】PDP装置では、電極間に最大で200V程度の電圧を高周波数のパルスとして印加する必要がある。特に、サブフレーム表示で階調表示を行う型式のものではパルス幅は数μsである。このような高電圧で且つ高周波の信号で駆動するため、一般にPDP装置の消費電力は大きく、省電力化が要望されている。米国特許第4,070,663号は、EL(エレクトロルミネッセンス)装置等の容量性表示ユニットの消費電力を低減するために、表示ユニットの容量と共振回路を構成するインダクタンス素子を設ける制御方法を開示している。

【0020】また、米国特許第4,866,349号と米国特許第5,081,400号はインダクタンス素子で構成される電力回収回路を有するPDPパネル用のサステイン(維持放

電)ドライバとアドレスドライバを開示している。上記の公知例が開示しているのは、2電極型の表示ユニットであり、3電極型の表示ユニットについては、何ら言及していない。

【0021】特開平7-160219号公報は、3電極型の表示ユニットにおいて、Y電極側に、Y電極が高電位から低電位に切り換えられる時に印加されている電力を回収する回収経路を形成するインダクタンスと、Y電極が低電位から高電位に切り換えられる時に蓄積した電力を印加する印加経路を形成するインダクタンスの2つのインダクタンスを設ける構成を開示している。

【0022】図13は、特開平7-160219号公報に開示されたY電極側に2つの電力回収用のインダクタンスを設ける従来例の構成を示す図である。ここでは詳しい説明は省略するが、電力回収回路を回収経路と印加経路の2経路とすることにより、より高い効率で電力を回収でき、一層の省電力化が可能になる。

【0023】

【発明が解決しようとする課題】上記のように、特開平7-160219号公報に開示された構成により、一層の省電力化が可能であるが、更なる省電力化が求められている。本発明は、3電極型の平面表示装置の駆動装置において、簡単な構成を付加するだけでより一層の省電力化を図ることを目的とする。

【0024】

【課題を解決するための手段】本発明は、表面に電極が配置されている少なくとも2枚の基板が、所定の間隔をもって、電極部が互いに直交して対向するように配置され、電極間に構成される複数の直交部が、それぞれ画素を構成するマトリックス状に配列されたセル部を形成し、セル部は電極に印加される電圧に従って、所定量の電荷を蓄積しうるメモリ機能と放電発光機能とを有し、2枚の基板のうちの一方に形成された電極と、他方に形成された放電発光が行われる一対の電極にて構成され、一対の電極のうちの一方は共通に接続されている共通電極である表示パネルを有する平面表示装置の駆動装置である。

【0025】図1は、本発明の原理構成を示す図である。図1において、参照符号Cpはパネル容量であり、14と15は1つの基板に形成された放電発光が行われる一対の電極であり、14が共通電極であり、15は走査電極である。共通電極14と走査電極15は、それぞれX電極とY電極に相当する。101、102、…は、走査電極のドライバであり、60は走査電極側の電力回収回路であり、C3は蓄積用の容量素子である。なお、容量素子C3は電源回路であっても、同様に電力回収が可能である。

【0026】図示のように、共通電極側の駆動回路及び電力回収回路は2経路の回収経路XVHと印加経路XLGに分けられており、それぞれにインダクタンス素子6

4と65が設けられている。インダクタンス素子64と65はそれぞれパネル容量 C_p と共振回路を形成する。SW3とSW4は共通電極14の駆動回路を構成する部分で、電力回収回路を有さない従来のものではこれらで共通電極14を駆動していた。SW3は共通電極14に印加されている電力を回収した時に回収経路XVHを低電位の端子に接続し、SW4は蓄積した電力を共通電極14に印加した時に印加経路XLGを高電位の端子に接続する。

【0027】SW1とSW2は、図13に示した1系統の場合のトランジスタCとDに相当するスイッチであり、SW1は回収経路XVHに、SW2は印加経路XLGに設けられる。DO31とDO32は、回収経路XVHと印加経路XLGにそれぞれ設けられた逆方向の電流を阻止するダイオードである。但し、かならず設ける必要はない。

【0028】DO33とDO34も、回収経路XVHと印加経路XLGにそれぞれ設けられた逆方向の電流を阻止するダイオードであり、これらもかならず設ける必要はない。DO35とDO36、DO37とDO38の組は、回収経路XVHと印加経路XLGを、それぞれ高電位の端子と低電位の端子に逆バイアスするように接続したリセット用ダイオードである。これらは、SW3とSW4と共同して、電力回収回路による共通電極14からの電力の回収及び蓄積した電力の共通電極14へ印加によりインダクタンス素子64と65の両端に生じた電圧差を無くすように動作する。

【0029】SW1、SW2、SW3、SW4は、電解効果トランジスタである実現できる。また、SW1、SW2は絶縁ゲート型バイポーラトランジスタ(Insulated Gated Bipolar Transistor:IGBT)で実現することもでき、その場合にはDO31とDO32を設けなくても効率等は低下しない。また、インダクタンス素子64と65のインダクタンス量を異なることが可能であり、インダクタンス素子64のインダクタンス量を、インダクタンス素子65のインダクタンス量より大きくすることが望ましい。

【0030】また、走査電極側にも2系統の電力回収回路を設けることが望ましい。走査電極を駆動する走査駆動回路は、走査電極と回収経路又は印加経路の間に駆動用スイッチを設け、それに並行にダイオードを設けるフローティング型であっても、走査電極と回収経路又は印加経路の間にはダイオードのみを接続し、駆動用スイッチは走査電極と別の電源端子の間に接続するダイオードミキシング型であってもよい。

【0031】ここで、米国特許第4,070,663号、第4,866,349号、第5,081,400号のように、電力回収回路が1系統の場合の問題点について簡単に説明する。1系統の電力回収回路は、例えば、図13に示した従来の構成のX電極側の電力回収回路である。この回路は、図示のよ

うに、X電極14に接続されるインダクタンス素子として動作するコイル61と、容量素子として動作するコンデンサC3と、コイル61とコンデンサC3の間に接続されたトランジスタの組CとDで構成される。トランジスタCとDは、機能的にはそれぞれ図1のSW1とSW2に相当する。上記米国特許第4,070,663号ではコンデンサC3の替りに電源回路が使用されており、本発明でも同様に電源回路とすることが可能であるが、以下の説明ではコンデンサC3を使用した例で説明する。

【0032】図2は、図13に示したX電極側の電力回収回路の問題点を説明する図である。X電極の電位が、0Vと V_s の間で変化するように電圧を印加する場合、コンデンサC3には $V_s/2$ の電圧を蓄積しておく。X電極の電位を0Vから V_s に変化させる場合には、図2の(1)に示すようにコイル61の両端は0Vになっている。この状態で、トランジスタCを導通するとコンデンサC3から $V_s/2$ の電圧がコイル61の一方の端に印加され、コイル61に電流が流れ、コイル61のもう一方の端であるX電極の電位は上昇する。理想的には、X電極の電位は、コイル61の逆起電力により、もう一方の端の電位 $V_s/2$ から更に $V_s/2$ 高い V_s まで上昇する。実際には、各種のロスにより V_s まで上昇することはないので、 V_s よりある程度低い電位まで上昇した時点でトランジスタAを導通させて V_s まで引き上げる。同様に、X電極の電位を V_s から0Vに変化させる場合には、図2の(2)に示すようにコイル61の両端は V_s になっており、トランジスタDを導通し、コイル61の一方を $V_s/2$ とする。コイル61のもう一方の端の電位が $V_s/2$ になった後、逆起電力によりX電極が0Vになる。この際の電流をC3に戻すことにより回収される。この場合も、X電極の電位が0V近くに減少した時点で、トランジスタBを導通させて0Vに引き下げる。すなわち、X電極の電位は、図2の(3)に実線で示すように変化する。破線は理想的な場合を示す。トランジスタAを介してX電極の電位を引き上げる分及びトランジスタBを介してX電極の電位を引き下げる分が損失になり、余分な電力が消費されることになる。従って、X電極の電位ができるだけ引き上げられ、又X電極の電位ができるだけ引き下げることが必要である。

【0033】電力回収回路によるX電極の電位の引上げ及び引下げには、トランジスタCとDのスイッチング速度が大きく影響し、スイッチング速度が速いほどX電極の電位を高く引き上げまた低く引き下げることが可能である。図2の(1)と(2)に示すように、トランジスタCとDは寄生容量を有する。図2の(1)に示すように、X電極の電位を0Vから V_s に変化させる前の状態ではコイル61の両端の電位は0Vであり、コンデンサC3の電位は $V_s/2$ であるから、トランジスタCとDの寄生容量には $V_s/2$ の電圧が印加され、電荷が蓄積されていることになる。トランジスタCが導通してコイ

ル61の一方の端が $V_s/2$ になるには、トランジスタCとDの寄生容量に蓄積された電荷を相殺する必要がある。一般にトランジスタCとDの寄生容量は大きく、これらに蓄積された電荷を相殺するためにスイッチングの速度が低下していた。そのために、X電極の電位を十分に引き上げられず又引き下げられず、電力のロスが大きかった。

【0034】これに対して、本発明では、電力回収回路が回収経路XVHと印加経路XLGの2系統に分離されているため、スイッチSW1とSW2を構成するトランジスタの寄生容量は、別の経路のスイッチング速度に影響せず、影響するのはその経路のスイッチを構成するトランジスタの寄生容量のみである。そのため、寄生容量の影響を半減でき、その分スイッチング速度が向上し、X電極の電位を十分に引き上げ及び引き下げられ、電力のロスを低減できる。

【0035】また、電極の電位のスイッチング速度は、上記とは別の問題を発生させる。図3はこの問題を説明する図である。すでに説明したように、PDP装置では、維持放電期間において、共通電極(X電極)14と走査電極(Y電極)15の間で交互に逆極性の電圧を印加することにより放電を行っている。図3の(1)に示すように、走査期間のアドレス放電により共通電極14と走査電極15の表面にそれぞれ逆極性の電荷が蓄積される。これらの蓄積された電荷による壁電圧を V_w とする。ここで、一方の電極に維持放電電圧 V_s を印加することにより、共通電極14と走査電極15の間には $V_s + 2V_w$ の電圧が印加され、維持放電が行われる。維持放電により、共通電極14と走査電極15の表面の電荷はそれぞれもう一方の電極に移動するので、すべての電荷が移動した時点で維持放電電圧 V_{sc} を印加する電極を切り換えると、上記と逆の現象が生じて、電荷は逆の方向に移動する。これを繰り返すことにより維持放電が行われる。維持放電が同じように繰り返されるためには、一方の電極に蓄積された電荷がすべてもう一方の電極に移動することが必要であり、移動しない電荷があると壁電圧 V_w が低下し、放電の強さが低下する。

【0036】電極の電位のスイッチング速度が高速であれば、図3の(2)に示すように、電極の電位が立ち上がる途中でセルの電圧(電極間の電圧)が閾値 V_f に達する。しかし、すぐには放電は開始されず、遅延して放電が開始される。実際にはセルの電圧がクランプ電圧にクランプされた時点頃に放電が開始される。これに対して、電極の電位のスイッチング速度が低速であれば、図3の(3)に示すように、セルの電圧が閾値 V_f に達した後クランプ電圧になるまでの時間があるために、セルの電圧がクランプ電圧になる前に放電を開始することになる。このような放電が生じると、電極に蓄積された電荷の一部がもう一方の電極に移動せず、ロスになるという問題が生じる。このような放電を繰り返すと壁電荷が

減少し、放電強度の低下を引き起こす。このように、電極の電位のスイッチング速度はある程度高速であることが要求される。

【0037】一方、電極の電位のスイッチング時に流れる電流は電圧の時間微分で表され、変化が急激であるほど流れる電流は大きくなる。電力回収回路、駆動回路、電極には抵抗があり、抵抗による電力の消費は電流の2乗に比例する。そのため、電極の電位のスイッチング速度が高速であるほど抵抗による電力の消費は大きくなる。すなわち、電極の電位のスイッチング速度は2つの相反する要因を考慮して決定する必要がある。

【0038】電極の電位のスイッチング速度は、トランジスタの駆動能力や経路の抵抗等各種の要因によって決定されるが、インダクタンス素子はパネル容量 C_p と共振回路を構成し、その共振周期はインダクタンス値によって決定されるため、インダクタンス素子のインダクタンス値によって大きく影響される。本発明のように、電力回収回路が2つの経路で構成され、それぞれにインダクタンス素子が設けられている場合には、異なるインダクタンス値の素子を使用することにより、電力の回収と印加でスイッチング速度を変えることも可能である。例えば、図3の(4)に示すように、電力の印加は高速に、回収はそれより遅くすることも可能である。

【0039】

【発明の実施の形態】図4は、第1実施例のPDP装置の駆動装置の構成を示す図である。このPDP装置は、図9と図10に示した3電極型のPDP装置である。従って、この駆動装置にはアドレスドライバ6も含まれるが、これは従来のものと同様であるので、ここでは図示しておらず、説明も省略する。

【0040】図4において、参照符号 C_p はパネル容量を示し、14はX電極、すなわち共通電極を示し、15はY電極、すなわち走査電極を示す。X電極14に接続される回路部分がX電極駆動回路とその電力回収回路であり、Y電極15に接続される回路部分がY電極駆動回路とその電力回収回路である。図4に示すように、X電極駆動回路とその電力回収回路は回収経路XVHと印加経路XLGの2つの経路で構成されている。回収経路XVHには、パネル容量 C_p の方から順に、ダイオードD033、コイル64、ダイオードD031、トランジスタTR31が接続され、トランジスタTR31のもう一方の被制御電極はコンデンサC3に接続されている。ダイオードD033とダイオードD031はパネル容量 C_p からコンデンサC3に向かう方向を順方向として接続されている。ダイオードD033とコイル64の接続部分とグラウンドとの間にはトランジスタTR33が接続されている。コイル64とダイオードD031の接続部分は、ダイオードD035を介して電源 V_s に接続され、ダイオードD036を介してグラウンドに接続されている。また、印加経路XLGには、パネル容量 C_p の方

ら順に、ダイオードDO34、コイル65、ダイオードDO32、トランジスタTR32が接続され、トランジスタTR32のもう一方の被制御電極はコンデンサC3に接続されている。ダイオードDO34とダイオードDO32はコンデンサC3からパネル容量Cpに向かう方向を順方向として接続されている。ダイオードDO34とコイル64の接続部分と電源Vsとの間にはトランジスタTR34が接続されている。コイル65とダイオードDO32の接続部分は、ダイオードDO37を介して電源Vsに接続され、ダイオードDO38を介してグラ

ンドに接続されている。トランジスタTR31とTR32が、それぞれ図1のスイッチ1とスイッチ2に、トランジスタTR33とTR34が、それぞれ図1のスイッチ3とスイッチ4に相当し、図示していない制御部からの信号でオン・オフ制御される。これらのトランジスタはすべて電界効果トランジスタ(FET)である。また、コイル64と65は、図1のインダクタンス素子を実現するものである。更に、ダイオードDO35~DO38は、コイル64、65に関連して回路内に発生するコイルの両端に残留する電位差をゼロにするものである。

【0041】また、Y電極駆動回路とその電力回収回路については、図13に示した特開平7-160219号公報に開示されたフローティング方式と呼ばれる回路と同一であり、ここでは簡単に説明する。Y電極側の駆動回路と電力回収回路も、回収経路FVHと印加経路FLGの2つに分けられている。参照符号101、102は対応するY電極にそれぞれ接続される駆動回路であり、Y電極15と回収経路FVHの間に接続されるダイオードDO2とトランジスタTR6と、Y電極15と印加経路FLGの間に接続されるダイオードDO3とトランジスタTR7を有する。トランジスタTR6とTR7は、プッシュプル回路110を構成する。例えば、走査パルスがVsからグラウンドに変化するパルスである場合、走査パルスが印加されるY電極に接続される駆動回路のトランジスタTR6がオフ、TR7がオン状態になり、走査パルスが印加される以外のY電極に接続される駆動回路のトランジスタTR6がオン、TR7がオフ状態になる。

【0042】回収経路FVHと印加経路FLGには、それぞれ図示のような素子が接続されている。参照符号70で示す部分は、走査期間中に、回収経路FVHを走査電圧Vsから、印加経路FLGをグラウンドにするための部分で、走査期間中にはトランジスタTR8とTR9はオン状態になり、それ以外の時にはオフ状態になる。参照符号80で示す部分は、走査期間から維持放電期間に入る場合に、回収経路FVHに残留する走査電圧Vsを除去するためのリーク回路部分である。参照符号90で示される部分は、維持放電期間中に、印加経路FLGを維持放電電圧Vsに、回収経路FVHをグラウンドにク

ランプするための回路であり、後述するように、トランジスタTR11とTR12は交互にオン・オフされる。参照符号60で示される部分は、電力回収回路である。

【0043】図5は図4の第1実施例の駆動回路の動作を示すタイムチャートであり、図5を参照しながら図4の回路の動作を説明する。尚、図5においては、アドレス電極についての信号は省略されている。図5に示すように、走査アドレス期間S-1に入る直前に、Y電極15のスキンドライブ回路である走査ドライブ回路101を構成するトランジスタTR6をオンの状態にすると同時に、トランジスタTR8とトランジスタTR9もオンとする。Y電極15を駆動するドライブ回路に接続する回収経路と印加経路FVHとFLG間の電圧がVsとなり、その結果、Y電極のそれぞれは電位Vsまで急速に充電される。この間X電極側のトランジスタTR34はオン状態になっており、X電極14には電位Vsが印加されることになる。このX電極14に電位Vsが印加された状態、及び回収経路と印加経路FVHとFLG間の電圧がVsである状態は、走査アドレス期間S-1の終了近くまで維持される。

【0044】一方、Y電極のそれぞれは、上記したように電圧Vsまで充電されるが、まず第1番目のY電極15-1を駆動するドライブ回路101に接続する一方の印加経路FLG1に接続されているプル側のトランジスタTR7をオン状態とし、プッシュ側のトランジスタTR6をオフ状態としておくことにより、このY電極の電位をグラウンドに落とし、その間のt1とt2において、このY電極15-1に相当する表示データに応じたアドレス出力を適宜のアドレスドライブ6から印加して、データの書き込みを行う。このデータの書き込み動作においては、アドレスデータにより選択されたY電極15-1上のセル部10が、放電を行い、所定の壁電荷が対応するセル部10に発生して、その後放電の発生したセル部10は、セル部10自身の壁電荷により放電は終息し、アドレスデータの書き込み操作が終了する。なお、この間その他のY電極15-2~15-nの各電極を駆動するドライブ回路においては、プッシュ側のトランジスタTR6がオンの状態となっている。

【0045】このような走査を各Y電極15-2~15-nのそれぞれについて実行し、走査アドレス期間S-1の終了間際の時刻T2において、トランジスタTR8をオフとし、その後所定の時間が経過した時刻T3において、リーク用のトランジスタTR10をオン状態とする。この状態においては、トランジスタTR9がオンとなっているので、時刻T4において、Y電極を駆動するドライブ回路に接続する電源ラインFVHとFLGとに充電されていた高電圧であるVsは、トランジスタTR10からグラウンドに抜けるので、回収経路と印加経路FVHとFLG間の電圧は0Vになる。なお、トランジスタTR9も時刻T4においてオフとなる。これと同時

に、X電極15の側のトランジスタTR34も、時刻T4においてオフの状態となり、走査アドレス期間S-1が終了する。

【0046】つまり、Y電極側の電位を0Vとすると同時に、ダイオードDO2を介して全てのY電極の電圧を0Vとし、更に回収経路と印加経路FVHとFLG間の電位も、0Vにすることによって、一連の走査期間を終了する。この際、X電極側においては、たて方向に放電が延びない様に、電圧Vsを印加している。次に、維持放電期間S-2においては、走査アドレス期間において放電したセル部分10は、表示すべきセル部分10に壁電荷を残した状態となっているので、この壁電荷を利用して、当該壁電荷の残存しているセル部分にのみ、交番の電圧を交互に印加して放電を繰り返す事によって、表示が行われる。なお、維持放電を行う場合には、全てのY電極に対して同時に同一の交番電圧を印加するものである。

【0047】先ず、維持放電期間の当初においては、Y電極に対して所定の電圧Vsを印加させるものであって、時刻T5に於いて、X電極側のトランジスタTR33がオン状態となり、X電極を0Vに維持する。その後、時刻T6に於いて、電力回収回路60に設けたトランジスタTR14がオンとなり、コンデンサC2に蓄積された電力の一部を印加経路FLGに充電させることにより、Y電極を駆動するドライバ回路に接続する一方の印加経路FLGの電位が上昇する。コンデンサC2の電荷が充分であれば、Y電極を駆動するドライバ回路に接続する一方の印加経路FLGの電圧は、所定の電圧であるVsに迄上昇するが、一般的にはVsにまで上昇することはできないから、時刻T7において、トランジスタTR14がオフとなると同時に、トランジスタTR12をオン状態として、印加経路FLGの電圧をVsに持ち上げる。この電圧は、ダイオードDO3を介して、表示パネル部のセル部分10に印加される。

【0048】T8において、トランジスタTR12がオフとなると同時に、X電極側のトランジスタTR33がオフの状態となる。次いで、T9において、電力回収回路60に設けたトランジスタTR13がオンとなり、Y電極15に充電されていた電圧Vsの一部が、コンデンサC2に引き込まれて、ここに蓄積され、その電荷が、つぎのY電極の充電に使用されるものである。この動作によって、回収経路FVHの電圧は、急速に低下し、T10においてトランジスタTR13がオフとなると同時に、トランジスタTR11をオン状態として、回収経路FVHの電圧を完全な0Vの状態に降下させる。

【0049】X電極側においては、トランジスタTR11がオン状態の間のT11において、トランジスタTR32がオンとなり、コイル61を介して、X電極14の電位を持ち上げ、T12に於いてトランジスタTR32がオフすると同時に、トランジスタTR34がオンする

ことによって、X電極14の電位は、所定の電圧であるVsに持ち上げられる。この間、セル部分10のY電極側における電圧は、ダイオードDO2を介してグラウンドの電位が、0Vに維持されている。

【0050】次いで、T13において、トランジスタTR11とトランジスタTR34が同時にオフとなる。その後T14でトランジスタTR31がオンになり、X電極14の電位は立ち下ると共に、セル部分10に蓄えられた電荷の一部が、コンデンサC3に充電される。X電極14の電位がある程度低下した時点で、トランジスタTR33がオンし、X電極14の電位を0Vに引き下げる。このようにして1サイクルの維持放電動作が終了する。

【0051】その後は、上記の様な動作が所定の回数繰り返されて、表示パネルの所定のセル部分10が、所定の輝度で発光させる。尚、セル部分10における輝度のレベルは、維持放電期間における交番電圧の付与回数により決定される。以上の表示動作が終了した場合には、全セル部分10の壁電荷を初期化操作により消滅させて、次のフレームの動作を行う。

【0052】図6は、第2実施例のPDP装置の駆動装置の構成を示す図である。図4と比較して明らかなように、第2実施例のPDP装置の駆動装置は、第1実施例のものとはほぼ同様の構成を有しており、異なるのは、X電極側の電力回収回路において、回収経路XVHと印加経路XLGの一部が共通化されていることである。

【0053】残留インダクタンスを除去するための電源Vsに接続されるダイオードDO39とグラウンドに接続されるダイオードDO40は、共通化されている部分に接続されており、共通化することができる。これにより部品点数を削減できる。第2実施例の駆動装置においては、回収した電力を蓄積するコンデンサC3への接続経路を切り換えるスイッチとして動作するトランジスタTR31とTR32は、ダイオードDO31とDO32を介して接続されている。ダイオードDO31とDO32の接続方向は、トランジスタTR32からTR31に向かって電流が流れる方向が順方向であるから、トランジスタTR31とTR32の寄生容量は、トランジスタTR31がオフからオンに変化する時のスイッチング速度には影響しないが、トランジスタTR32がオフからオンに変化する時のスイッチング速度には影響する。そのため、寄生容量の影響を低減してスイッチング速度を高速化し、回収した電力をX電極14へ印加する場合の到達電圧を高くして消費電力を低減する点については十分とはいえない。しかし、コイルは経路別に2つ設けられているため、コイルのインダクタンス値を異ならせて電力の回収時と印加時でスイッチング速度を異ならせることは可能である。

【0054】第2実施例のPDP装置の駆動装置の動作は、図5のタイムチャートで説明した第1実施例の動作

と同じである。図7は、第3実施例のPDP装置の駆動装置の構成を示す図である。図4と比較して明らかなように、第3実施例のPDP装置の駆動装置は、第1実施例のものとはほぼ同様の構成を有しており、異なるのは、X電極側の駆動回路のダイオードDO33とDO34とY電極側の走査電圧印加回路70が除かれている点と、Y電極側の駆動回路である。

【0055】ダイオードDO33とDO34がないため、コイル64と65は常時接続された状態にある。そのため、X電極14との接続点の電圧が変化すると、両方のコイルの端の電位が変化するが、ダイオードDO31とDO32があるために、動作しない経路側のコイルにはほとんど電流は流れない。従って、その影響は小さく、第1実施例のものに比べて、若干効率が低下するだけである。

【0056】また、Y電極側の駆動回路では、トランジスタTR15がY電極15と走査電圧Vscを供給する電源との間に接続され、トランジスタTR16がY電極15とグランドとの間に接続されている。また、Y電極15と回収経路FVH、Y電極15と印加経路FLGの間にはダイオードDO2とDO3がそれぞれ接続されている。アドレス走査期間には、トランジスタTR15とTR16が直接走査パルス印加する。従って、走査電圧印加回路70は必要ない。このような回路はダイオードミキシング方式と呼ばれる。

【0057】第2実施例のPDP装置の駆動装置の動作は、図5のタイムチャートで説明した第1実施例の動作と同じである。以上説明した第1から第3実施例では、スイッチとして動作するトランジスタはすべてMOSFET（電界効果）トランジスタであった。これは、一般的にMOSFETトランジスタの方が、バイポーラトランジスタに比べて動作速度が速いためである。近年、絶縁ゲート型バイポーラトランジスタ（IGBT）と呼ばれるMOSFETトランジスタと同等の動作速度、尖頭電流容量等の特性を有しながら、バイポーラトランジスタの特徴である良好な導通特性を有する素子を使用されるようになってきた。第4実施例は、スイッチとしてこの絶縁ゲート型バイポーラトランジスタを使用した例である。

【0058】図8は、第4実施例のPDP装置の駆動装置の構成を示す図である。図4と比較して明らかなように、第3実施例のPDP装置の駆動装置は、第1実施例のものとはほぼ同様の構成を有しており、異なるのは、トランジスタTR31とTR32の替わりに絶縁ゲート型バイポーラトランジスタIGBT35とIGBT36が設けられ、ダイオードDO31とDO32が除かれている点である。上記のように、絶縁ゲート型バイポーラトランジスタはMOSFETトランジスタと必要な項目について同等かそれ以上の特性を有しており、より効率のよい電力回収回路が実現できる。また、ダイオードDO

31とDO32はなくても電力回収回路として動作するものであり、特に問題は生じない。

【0059】

【発明の効果】以上説明したように、本発明によれば、3電極型の平面表示装置において、維持放電動作が行われる1対の電極のうちX電極についても効率のよい電力回収の可能な2経路の電力回収回路が設けられるため、より一層の省電力化が図れる。

【図面の簡単な説明】

【図1】本発明の原理構成を示す図である。

【図2】1経路の電力回収回路の問題点を説明する図である。

【図3】スイッチング速度の影響を説明する図である。

【図4】第1実施例のPDP装置の駆動装置の構成を示す図である。

【図5】第1実施例の駆動装置によるPDP装置の動作を示すタイムチャートである。

【図6】第2実施例のPDP装置の駆動装置の構成を示す図である。

【図7】第3実施例のPDP装置の駆動装置の構成を示す図である。

【図8】第4実施例のPDP装置の駆動装置の構成を示す図である。

【図9】平面表示装置の構成の概略を説明する平面図である。

【図10】平面表示装置の1つのPDP装置において使用されるセル部分の構成の例を示す断面図である。

【図11】平面表示装置の駆動方法の一例を説明する図である。

【図12】平面表示装置を動作させる駆動電圧波形の例を示す図である。

【図13】従来の、平面表示装置の構成を示す図である。

【符号の説明】

1…表示パネル

3…Y電極側共通ドライバ回路

4, 4-1~4-n…Y電極ドライバ回路

5…X電極側共通ドライバ回路

6…アドレスドライバ回路

10…セル部

12, 13…基板

14…共通(X)電極

15…走査(Y)電極

16…アドレス電極

17…壁部

18…誘電体層

19…蛍光体

20…放電空間

21…MgO膜

60…電力回収回路

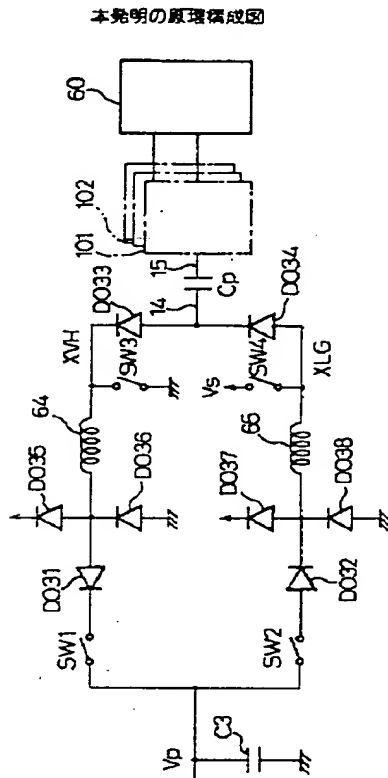
70...走査電源回路
80...リークスイッチ
90...維持放電電源

101、102...Y電極ドライバ
110...プッシュプル型のドライブ回路

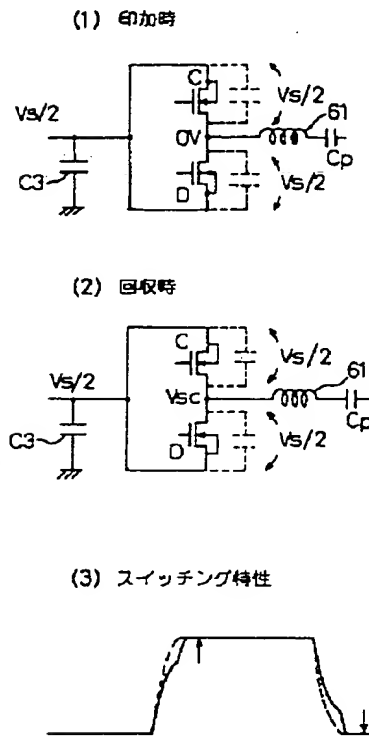
【図1】

【図2】

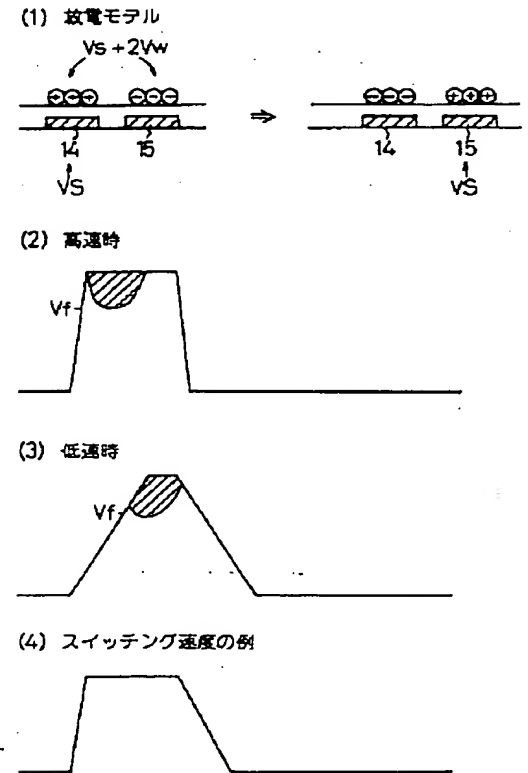
【図3】



1 系の電力回収回路の問題点

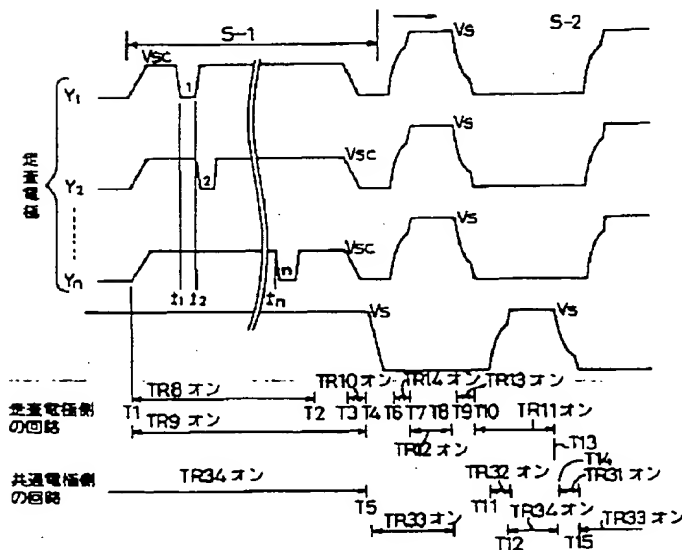


スイッチング速度の影響

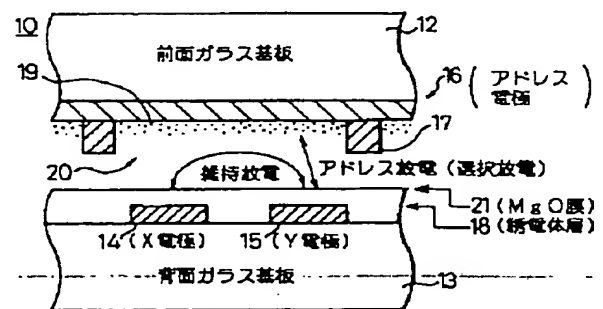


【図5】

【図10】

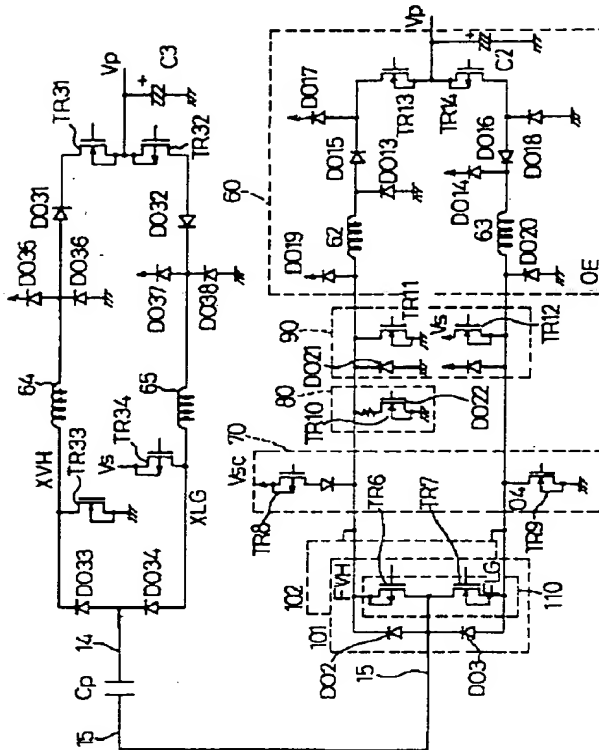


PDPのセル構造



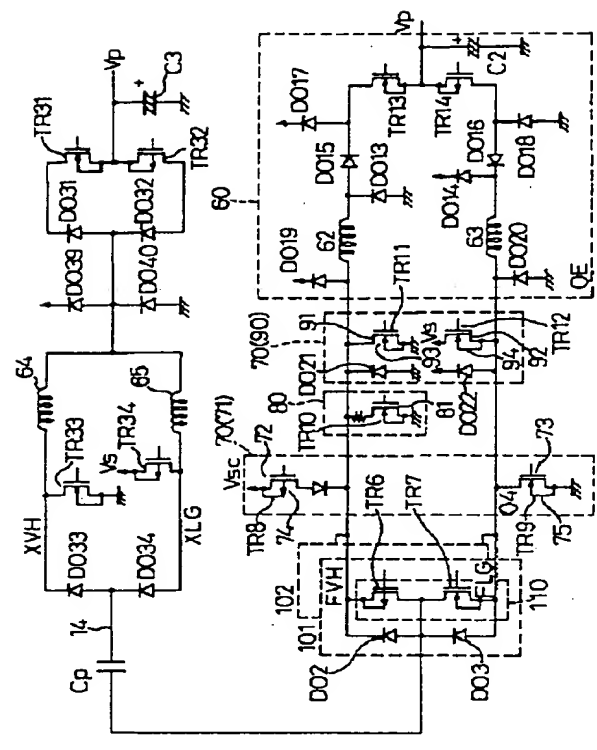
【図4】

第1実施例の構成



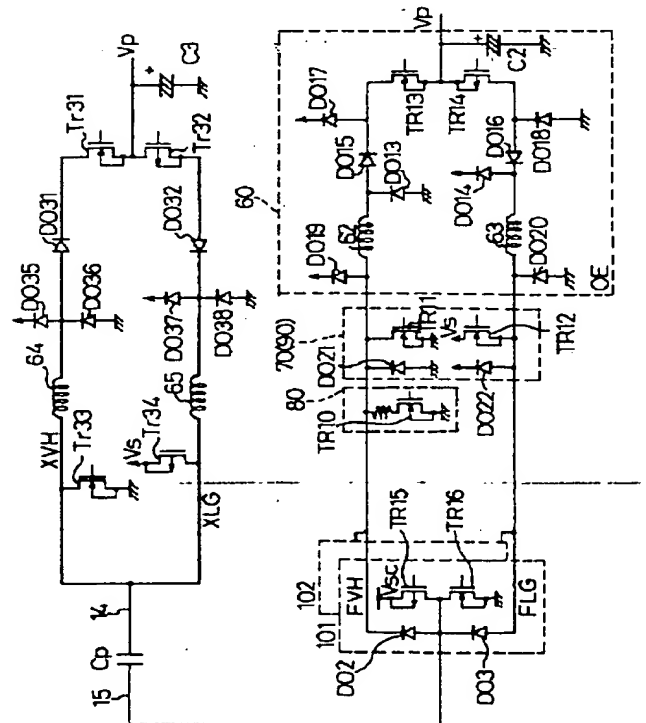
【図6】

第2実施例の構成



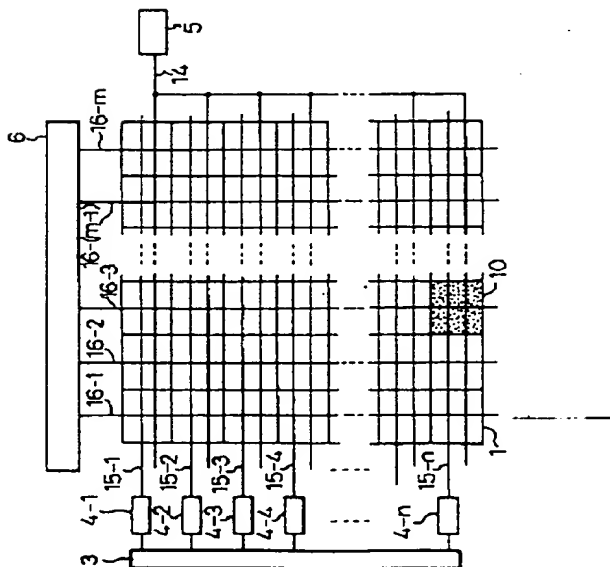
【図7】

第3実施例の構成



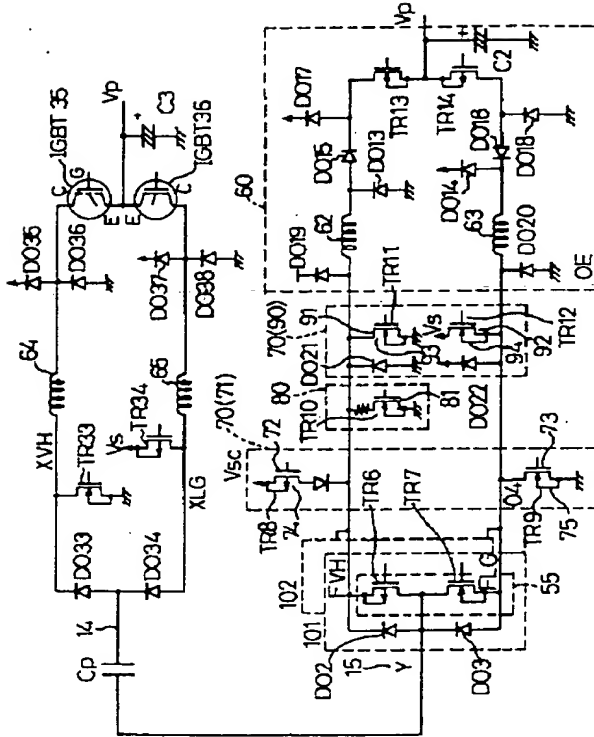
【図9】

平面表示装置の接続平面図



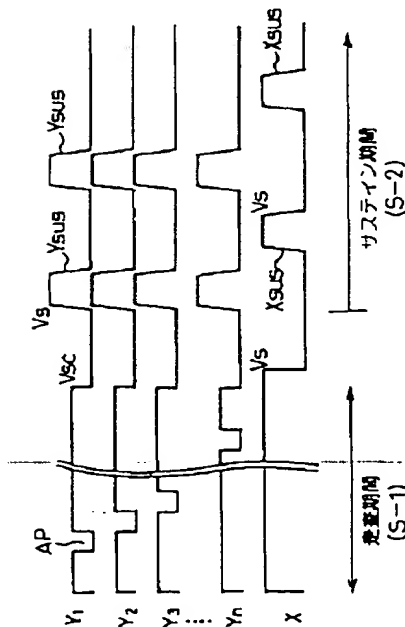
【図 8】

第 4 実施例の構成



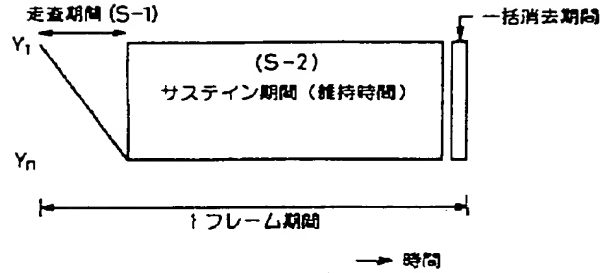
【図 12】

PDPの駆動波形



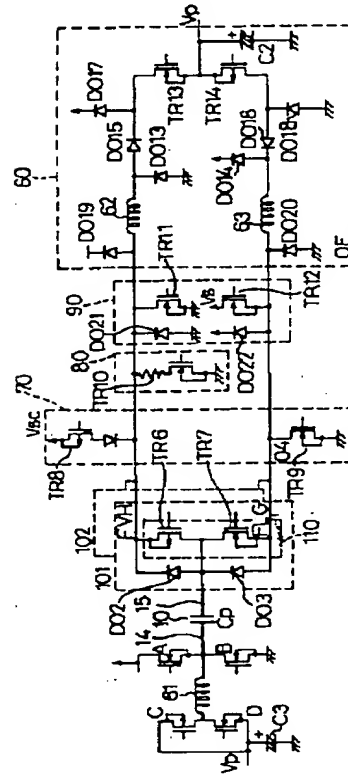
【図 11】

PDPの基本駆動サイクルの構成



【図 13】

電力回収回路を設けた従来例の構成



フロントページの続き

(72)発明者 広瀬 忠継
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
(72)発明者 富尾 重寿
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内
(72)発明者 栗田 好正
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(72)発明者 亀山 茂樹
鹿児島県▲薩▼摩郡入来町副田 5950 番地
株式会社九州富士通エレクトロニクス内
(72)発明者 古川 和生
鹿児島県▲薩▼摩郡入来町副田 5950 番地
株式会社九州富士通エレクトロニクス内
(72)発明者 大塚 晃
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内